

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-195974

(43)Date of publication of application : 14.07.2000

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 10-371637

(71)Applicant : SONY CORP

(22)Date of filing : 25.12.1998

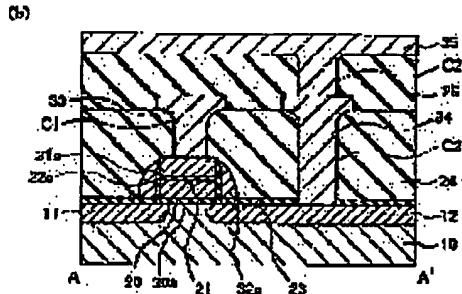
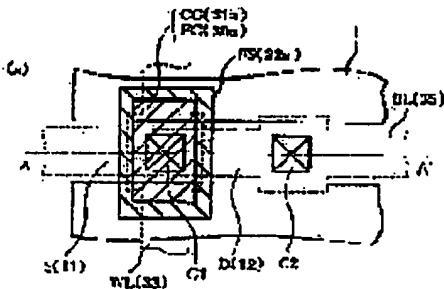
(72)Inventor : NISHIBASHI KAZUYOSHI

(54) NONVOLATILE SEMICONDUCTOR STORAGE DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a nonvolatile semiconductor storage device and a manufacture thereof, that has an improved charge holding property in charge storage layers, which store data such as a floating gate, etc.

SOLUTION: There are provided a semiconductor substrate 10, having a channel formation region, a first charge storage layer 30a formed at least on top of the channel formation region, a control gate 31a formed of top of the first charge storage layer, a second charge storage layer 32a formed on the semiconductor substrate at least at the position opposed to the side surface of the first charge storage layer while being insulated from the first charge storage layer, and source/drain regions 11, 12 formed in connection with a channel forming region in the semiconductor substrate at both side parts of the control gate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-195974

(P2000-195974A)

(43)公開日 平成12年7月14日(2000.7.14)

(51)Int.Cl.
 H 01 L 21/8247
 29/788
 29/792
 27/115

識別記号

F I
 H 01 L 29/78 3 7 1 5 F 001
 27/10 4 3 4 5 F 083

ターボード(参考)

審査請求 未請求 請求項の数11 O.L (全10頁)

(21)出願番号

特願平10-371637

(22)出願日

平成10年12月25日(1998.12.25)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川16丁目7番35号

(72)発明者 西横 一嘉

長崎県諫早市津久葉町1883番43 ソニー長崎株式会社内

(74)代理人 100094053

弁理士 佐藤 隆久

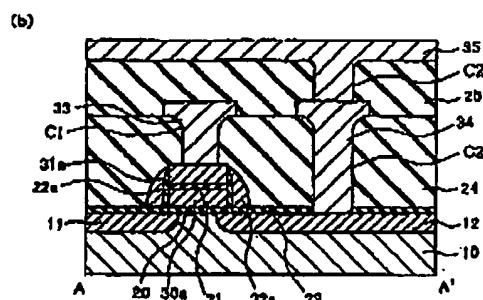
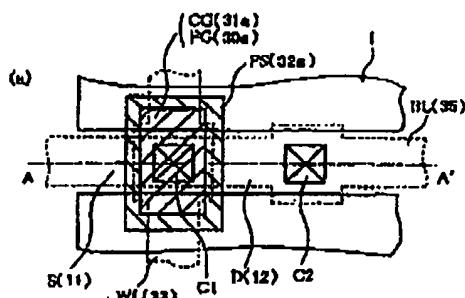
最終頁に続く

(54)【発明の名称】 半導体不揮発性記憶装置およびその製造方法

(57)【要約】

【課題】フローティングゲートなどのデータを記憶する電荷蓄積層中に電荷を保持する能力を高められた半導体不揮発性記憶装置とその製造方法を提供する。

【解決手段】チャネル形成領域を有する半導体基板10と、少なくともチャネル形成領域の上層に形成された第1電荷蓄積層30aと、第1電荷蓄積層の上層に形成されたコントロールゲート31aと、少なくとも第1電荷蓄積層の側面と対向する位置に、第1電荷蓄積層と絶縁して、半導体基板上に形成された第2電荷蓄積層32aと、コントロールゲートの両側部における半導体基板中においてチャネル形成領域に接続して形成されたソース・ドレイン領域(11, 12)とを有する構成とする。



(2) 000-195974 (P2000-195974A)

1

【特許請求の範囲】

【請求項1】チャネル形成領域を有する半導体基板と、少なくとも前記チャネル形成領域の上層に形成された第1電荷蓄積層と、前記第1電荷蓄積層の上層に形成されたコントロールゲートと、少なくとも前記第1電荷蓄積層の側面と対向する位置に、前記第1電荷蓄積層と絶縁して、前記半導体基板上に形成された第2電荷蓄積層と、前記コントロールゲートの両側部における前記半導体基板中において前記チャネル形成領域に接続して形成されたソース・ドレイン領域とを有する半導体不揮発性記憶装置。

【請求項2】前記第2電荷蓄積層が、絶縁膜に被覆された導電層により形成されている請求項1記載の半導体不揮発性記憶装置。

【請求項3】前記第1電荷蓄積層が、絶縁膜に被覆された導電層により形成されているフローティングゲートである請求項1記載の半導体不揮発性記憶装置。

【請求項4】前記第2電荷蓄積層が、少なくとも前記第1電荷蓄積層の外周部に形成されている請求項1記載の半導体不揮発性記憶装置。

【請求項5】前記第2電荷蓄積層が、前記第1電荷蓄積層と前記コントロールゲートの積層体の外周部に形成されている請求項4記載の半導体不揮発性記憶装置。

【請求項6】前記コントロールゲートおよび前記ソース・ドレイン領域を含む前記半導体基板に所定の電位が与えられることにより、前記第1電荷蓄積層および前記第2電荷蓄積層に電荷が注入され、あるいは、前記第1電荷蓄積層および前記第2電荷蓄積層から電荷が放出される請求項1記載の半導体不揮発性記憶装置。

【請求項7】チャネル形成領域を有する半導体基板上に第1電荷蓄積層を形成する工程と、前記第1電荷蓄積層の上層にコントロールゲートを形成する工程と、少なくとも前記第1電荷蓄積層の側面と対向する位置に、前記第1電荷蓄積層と絶縁して、前記半導体基板上に第2電荷蓄積層を形成する工程と、前記コントロールゲートの両側部における前記半導体基板中において前記チャネル形成領域に接続するソース・ドレイン領域を形成する工程とを有する半導体不揮発性記憶装置の製造方法。

【請求項8】前記第1電荷蓄積層を形成する工程が、前記半導体基板のチャネル形成領域の上層に第1トンネル絶縁膜を形成する工程と、前記第1トンネル絶縁膜の上層にフローティングゲートを形成する工程と、前記フローティングゲートの上層に第1中間絶縁膜を形成する工程とを含む請求項7記載の半導体不揮発性記憶装置の製造方法。

2

【請求項9】前記第2電荷蓄積層を形成する工程が、少なくとも前記第1電荷蓄積層の側面上に第2中間絶縁膜を形成する工程と、前記第1電荷蓄積層の側面における前記半導体基板の上層に第2トンネル絶縁膜を形成する工程と、前記第2中間絶縁膜および前記第2トンネル絶縁膜を介して、少なくとも前記第1電荷蓄積層の側面と対向する位置に、導電層を形成する工程とを含む請求項7記載の半導体不揮発性記憶装置の製造方法。

【請求項10】前記第2中間絶縁膜および前記第2トンネル絶縁膜を介して、少なくとも前記第1電荷蓄積層の側面と対向する位置に、導電層を形成する工程が、前記第2中間絶縁膜および前記第2トンネル絶縁膜の上層に全面に導電層を形成する工程と、前記第1電荷蓄積層の側面と対向する位置の前記導電層を残して、前記導電層を除去する工程とを含む請求項9記載の半導体不揮発性記憶装置の製造方法。

【請求項11】前記第2電荷蓄積層を形成する工程においては、

前記第1電荷蓄積層と前記コントロールゲートの積層体の外周部であって、前記第1電荷蓄積層と前記コントロールゲートの側面と対向する位置において、前記半導体基板上に第2電荷蓄積層を形成する請求項7記載の半導体不揮発性記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体不揮発性記憶装置およびその製造方法に関し、特にトランジスタのゲート電極とチャネル形成領域の間に電荷蓄積層を有する半導体不揮発性記憶装置およびその製造方法に関する。

【0002】

【従来の技術】フロッピー（登録商標）ディスクなどの磁気記憶装置に代わり、電気的に書き換え可能な半導体不揮発性記憶装置（EEPROM：Electrically Erasable and Programmable ROM）が使われ始めている。EEPROMとしては、フローティングゲート型、MNOS型あるいはMONOS型、TEXTURED POLY型など、様々な特徴を有する構造のものが開発されている。

【0003】EEPROMの1つであるフローティングゲート型の半導体不揮発性記憶装置の一例の断面図を図6に示す。例えばSiO₂法などにより形成した素子分離絶縁膜（不図示）により分離された半導体基板10の活性領域上に、例えば薄膜の酸化シリコンからなるトンネル絶縁膜（ゲート絶縁膜）20が形成されており、その上層に例えばポリシリコンからなるフローティングゲート30aが形成されており、さらにその上層に例えばONO膜（酸化膜-塗化膜-酸化膜の積層絶縁膜）からなる中間絶縁膜21aが形成されている。中間絶縁膜

50

(13) 000-195974 (P2000-195974A)

3

21aの上層には、例えばポリシリコンからなるコントロールゲート31aが形成されている。また、コントロールゲート31aの両側部の半導体基板10中にはソース拡散層11およびドレイン拡散層12が形成されている。さらに、これらを被覆して、酸化シリコンなどの層間絶縁膜24が形成されている。これによりコントロールゲート31aと半導体基板10中のチャネル形成領域の間に、絶縁膜に被覆されたフローティングゲート30aを有する電界効果トランジスタを構成する。

【0004】上記の構造を有するフローティングゲート型の半導体不揮発性記憶装置においては、フローティングゲート30aは膜中に電荷を保持する機能を持ち、トンネル絶縁膜20および中間絶縁膜21aなどの絶縁膜は電荷をフローティングゲート30a中に閉じ込める役割を持つ。コントロールゲート31a、半導体基板10あるいはソース拡散層11およびドレイン拡散層12を含む半導体基板10などに適当な電圧を印加すると、ファウラー・ノルドハイム型トンネル電流が生じ、トンネル絶縁膜20を通して半導体基板10からフローティングゲート30aへ電荷が注入され、あるいはフローティングゲート30aから半導体基板10へ電荷が放出される。

【0005】上記のようにフローティングゲート30a中に電荷が蓄積されると、この蓄積電荷による電界が発生するため、トランジスタの閾値電圧が変化する。この変化によりデータの記憶が可能となる。例えば、フローティングゲート30a中に電子を蓄積することでデータの消去を行い、また、フローティングゲート30a中に蓄積した電子を放出することでデータを書き込みすることができる。

【0006】

【発明が解決しようとする課題】しかしながら、上記の構造の半導体不揮発性記憶装置において、フローティングゲート中に蓄積された電荷（電子）は、ある確率でフローティングゲートを被覆している絶縁膜を介して、外部へ抜け出してしまう。この電荷の抜け出しの確率は、電荷を注入された状態で高温になるほど高くなる。これは、電荷が熱エネルギーを持つことにより、絶縁膜のエネルギー障壁を飛び越えやすくなるためである。上記の現象は、データを記憶するのに最低限必要な電荷量よりも十分に多い量の電荷が注入されている場合には観察化しないが、最低限必要な電荷量程度である場合には、電荷の保持不良として検出されてしまう。特に、フローティングゲートを被覆している絶縁膜に欠陥などがある場合、フローティングゲート中に電荷を閉じ込める能力が劣る場合には、急激に電荷が抜け出てしまい、データの記憶ができなくなってしまう。上記のように、従来の半導体不揮発性記憶装置に対して、フローティングゲートなどの電荷蓄積層中に電荷を保持する能力を高めることが求められていた。

4

【0007】本発明は上記の問題点を鑑みてなされたものであり、従って、本発明は、フローティングゲートなどのデータを記憶する電荷蓄積層中に電荷を保持する能力を高められた半導体不揮発性記憶装置およびその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体不揮発性記憶装置は、チャネル形成領域を有する半導体基板と、少なくとも前記チャネル形成領域の上層に形成された第1電荷蓄積層と、前記第1電荷蓄積層の上層に形成されたコントロールゲートと、少なくとも前記第1電荷蓄積層の側面と対向する位置に、前記第1電荷蓄積層と絶縁して、前記半導体基板上に形成された第2電荷蓄積層と、前記コントロールゲートの両側部における前記半導体基板中において前記チャネル形成領域に接続して形成されたソース・ドレイン領域とを有する。

【0009】上記の本発明の半導体不揮発性記憶装置は、コントロールゲートと半導体基板中のチャネル形成領域の間に、第1電荷蓄積層を有する電界効果トランジスタを構成する。コントロールゲート、半導体基板あるいはソース・ドレイン領域などに適当な電圧を印加すると、ファウラー・ノルドハイム型トンネル電流が生じ、第1電荷蓄積層へ電荷が注入され、あるいは第1電荷蓄積層から半導体基板へ電荷が放出される。このように第1電荷蓄積層中に電荷が蓄積されると、この蓄積電荷による電界が発生するため、トランジスタの閾値電圧が変化する。この変化によりデータの記憶が可能となる。

【0010】上記の半導体不揮発性記憶装置においては、さらに第1電荷蓄積層の側面と対向する位置に、第1電荷蓄積層と絶縁して、半導体基板上に第2電荷蓄積層が形成されている。第2電荷蓄積層においても、第1電荷蓄積層と同様に、電荷の注入あるいは放出がなされる。第1電荷蓄積層中と第2電荷蓄積層中に同時に電荷（電子）を保持するとき、第1電荷蓄積層中の電荷と第2電荷蓄積層中の電荷がクーロン力により反発しあうので、第1電荷蓄積層中において電荷はより第2電荷蓄積層から遠い側である内部へと移動してくる。このため、電荷に熱エネルギーを与えても電荷の拡散が抑えられ、第1電荷蓄積層中に電荷を保持する能力が高められる。

【0011】上記の本発明の半導体不揮発性記憶装置は、好適には、前記第2電荷蓄積層が、絶縁膜に被覆された導電層により形成されている。これにより、導電層中に電荷を保持し、絶縁膜により電荷を導電層中に閉じ込め、電荷を蓄積することが可能となる。

【0012】上記の本発明の半導体不揮発性記憶装置は、好適には、前記第1電荷蓄積層が、絶縁膜に被覆された導電層により形成されているフローティングゲートである。これにより、フローティングゲートが眼中に電荷を保持する機能を持ち、フローティングゲートを被覆

〔4〕000-195974 (P2000-195974A)

5

する絶縁膜が電荷をソローティングゲート中に閉じ込める役割を持つ、フローティングゲート型の半導体不揮発性記憶装置とすることができる。

【0013】上記の本発明の半導体不揮発性記憶装置は、好適には、前記第2電荷蓄積層が、少なくとも前記第1電荷蓄積層の外周部に形成されており、さらに好適には、前記第2電荷蓄積層が、前記第1電荷蓄積層と前記コントロールゲートの積層体の外周部に形成されている。第1電荷蓄積層の外周部から電荷が抜け出ることを抑制する。

【0014】上記の本発明の半導体不揮発性記憶装置は、好適には、前記コントロールゲートおよび前記ソース・ドレイン領域を含む前記半導体基板に所定の電位が与えられることにより、前記第1電荷蓄積層および前記第2電荷蓄積層に電荷が注入され、あるいは、前記第1電荷蓄積層および前記第2電荷蓄積層から電荷が放出される。コントロールゲートおよび半導体基板の電位を制御することで電荷の注入および放出を制御することができる。

【0015】さらに、上記の目的を達成するため、本発明の半導体不揮発性記憶装置の製造方法は、チャネル形成領域を有する半導体基板上に第1電荷蓄積層を形成する工程と、前記第1電荷蓄積層の上層にコントロールゲートを形成する工程と、少なくとも前記第1電荷蓄積層の側面と対向する位置に、前記第1電荷蓄積層と絶縁して、前記半導体基板上に第2電荷蓄積層を形成する工程と、前記コントロールゲートの両側部における前記半導体基板中において前記チャネル形成領域に接続するソース・ドレイン領域を形成する工程とを有する。

【0016】上記の本発明の半導体不揮発性記憶装置の製造方法は、チャネル形成領域を有する半導体基板上に第1電荷蓄積層を形成し、第1電荷蓄積層の上層にコントロールゲートを形成する。次に、少なくとも第1電荷蓄積層の側面と対向する位置に、第1電荷蓄積層と絶縁して、半導体基板上に第2電荷蓄積層を形成する。次に、コントロールゲートの両側部における半導体基板中においてチャネル形成領域に接続するソース・ドレイン領域を形成する。

【0017】上記の本発明の半導体不揮発性記憶装置の製造方法によれば、コントロールゲートと半導体基板中のチャネル形成領域の間に、第1電荷蓄積層を有する電界効果トランジスタを形成することができる。第1電荷蓄積層中に電荷が蓄積されると、この蓄積電荷による電界が発生するため、トランジスタの閾値電圧が変化し、この変化によりデータの記憶ができる。さらに、少なくとも第1電荷蓄積層の側面と対向する位置に、第1電荷蓄積層と絶縁して、半導体基板上に第2電荷蓄積層を形成することから、第1電荷蓄積層中と第2電荷蓄積層中に同時に電荷(電子)を保持するとき、第1電荷蓄積層中の電荷と第2電荷蓄積層中の電荷がクーロン力により

50

6

反発しあうので、第1電荷蓄積層において電荷はより第2電荷蓄積層から遠い側である内部へと移動していく。このため、電荷に熱エネルギーを与えるも電荷の拡散が抑えられ、第1電荷蓄積層中に電荷を保持する能力を高めることができる。

【0018】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記第1電荷蓄積層を形成する工程が、前記半導体基板のチャネル形成領域の上層に第1トンネル絶縁膜を形成する工程と、前記第1トンネル絶縁膜の上層にフローティングゲートを形成する工程と、前記フローティングゲートの上層に第1中間絶縁膜を形成する工程とを含む。これにより、フローティングゲートが膜中に電荷を保持する機能を持ち、フローティングゲートを被覆する絶縁膜が電荷をフローティングゲート中に閉じ込める役割を持つ、フローティングゲート型の半導体不揮発性記憶装置を製造することができる。

【0019】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記第2電荷蓄積層を形成する工程が、少なくとも前記第1電荷蓄積層の側面上に第2中間絶縁膜を形成する工程と、前記第1電荷蓄積層の側部における前記半導体基板の上層に第2トンネル絶縁膜を形成する工程と、前記第2中間絶縁膜および前記第2トンネル絶縁膜を介して、少なくとも前記第1電荷蓄積層の側面と対向する位置に、導電層を形成する工程とを含む。これにより、導電膜中に電荷を保持し、第2中間絶縁膜、第2トンネル絶縁膜などの絶縁膜により電荷を閉じ込めて電荷を蓄積する第2電荷蓄積層を形成することができる。

【0020】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記第2中間絶縁膜および前記第2トンネル絶縁膜を介して、少なくとも前記第1電荷蓄積層の側面と対向する位置に、導電層を形成する工程が、前記第2中間絶縁膜および前記第2トンネル絶縁膜の上層に全面に導電層を形成する工程と、前記第1電荷蓄積層の側面と対向する位置の前記導電層を残して、前記導電層を除去する工程とを含む。これにより、第1電荷蓄積層の側面と対向する位置に、第2中間絶縁膜および第2トンネル絶縁膜を介して、導電層を形成して、第2電荷蓄積層を形成することができる。

【0021】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記第2電荷蓄積層を形成する工程においては、前記第1電荷蓄積層と前記コントロールゲートの積層体の外周部であって、前記第1電荷蓄積層と前記コントロールゲートの側面と対向する位置において、前記半導体基板上に第2電荷蓄積層を形成する。これにより、第1電荷蓄積層の外周部から電荷が抜け出ることを抑制するように、第2電荷蓄積層を形成することができる。

【0022】

【発明の実施の形態】以下に、本発明の半導体不揮発性

(5) 000-195974 (P2000-195974A)

7

記憶装置およびその製造方法の実施の形態について、図面を参照して下記に説明する。

【0023】本実施形態のフローティングゲート型の半導体不揮発性記憶装置のメモリセル平面図を図1(a)に示す。例えばLOCOS法などの素子分離絶縁膜1で分離されたシリコン半導体基板の活性領域において、第1電荷蓄積層として例えば絶縁膜に被覆されたフローティングゲートFG(30a)が形成されており、その上層にコントロールゲートCG(31a)が積層して形成されている。また、コントロールゲートCG(31a)の両側の活性領域における基板中にはソース拡散層S(11)およびドレイン拡散層D(12)が形成されている。フローティングゲートFG(30a)と、コントロールゲートCG(31a)の積層体の外周部に、第2電荷蓄積層として絶縁膜に被覆された導電膜からなるフローティングサイドウォールFS(32a)が形成されている。また、コンタクトC1を介して、コントロールゲートCG(32a)に接続するワード線WL(33)が形成されている。また、コンタクトC2を介して、ドレイン拡散層D(12)に接続するビット線BL(35)が形成されている。

【0024】上記の図1(a)の平面図のA-A'における断面図を図1(b)に示す。例えばLOCOS法などにより形成した素子分離絶縁膜(不図示)により分離された半導体基板10の活性領域上に、例えば薄膜の酸化シリコンからなる第1トンネル絶縁膜20が形成されており、その上層に例えばポリシリコンからなるフローティングゲート30aが形成されており、さらにその上層に例えばONO膜(酸化膜-窒化膜-酸化膜の積層絶縁膜)からなる第1中間絶縁膜21が形成されている。さらに第1中間絶縁膜21の上層に、例えばポリシリコンからなるコントロールゲート31aが形成されている。また、コントロールゲート31aの両側部の半導体基板10中にはソース拡散層11およびドレイン拡散層12が形成されている。以上で、コントロールゲート31aと半導体基板10中のチャネル形成領域との間に、絶縁膜に被覆されたフローティングゲート30aを有する電界効果トランジスタを構成する。

【0025】また、フローティングゲート30aとコントロールゲート31aの積層体の側壁面上には、例えば酸化シリコンからなる第2中間絶縁膜22aが形成されており、また、フローティングゲート30aとコントロールゲート31aの積層体の側部における半導体基板10上には例えば薄膜の酸化シリコンからなる第2トンネル絶縁膜23が形成されている。第2中間絶縁膜22aおよび第2トンネル絶縁膜23を介して、フローティングゲート30aとコントロールゲート31aの積層体の側面と対向する位置に、ポリシリコンなどの導電層からなるフローティングサイドウォール32aが形成されている。

8

【0026】上記のトランジスタを被覆して、例えば酸化シリコンからなる第1層間絶縁膜24が形成されており、コンタクトC1を介してコントロールゲート31aにワード線33が接続して形成されている。一方、コンタクトC2を介してビットコントラクトプラグ34がドレイン拡散層12に接続して形成されており、その上層を被覆する第2層間絶縁膜25にビットコントラクトプラグ34を露出させるコンタクトC2'が開口され、ビット線35がビットコントラクトプラグ34に接続して形成されている。

【0027】上記の構造を有するフローティングゲート型の半導体不揮発性記憶装置において、第1電荷蓄積層としてのフローティングゲート30aは、膜中に電荷を保持する機能を持ち、第1トンネル絶縁膜20、第1中間絶縁膜21、および第2中間絶縁膜22aなどの絶縁膜は電荷をフローティングゲート30a中に閉じ込める役割を持つ。さらに、第2電荷蓄積層としてのフローティングサイドウォール32aも、膜中に電荷を保持する機能を持ち、第2トンネル絶縁膜23、第2中間絶縁膜22aなどの絶縁膜は電荷をフローティングサイドウォール32a中に閉じ込める役割を持つ。

【0028】上記の構造の半導体不揮発性記憶装置において、例えば図2(a)に示すように、コントロールゲート31aに正のバイアスを印加し、ソース拡散層11および半導体基板10に負のバイアスを印加することにより、コントロールゲート31aとフローティングゲート30a間の容量とフローティングゲート30aと半導体基板10間の容量の比で決定される電界によりファウラー・ノルドハイム型トンネル電流が生じ、第1トンネル絶縁膜20を通して、半導体基板10からフローティングゲート30aへ電荷が注入される。さらに、コントロールゲート31aとフローティングサイドウォール32aと半導体基板10(ソース拡散層11)間の容量の比で決定される電界によりファウラー・ノルドハイム型トンネル電流が生じ、第2トンネル絶縁膜23を通して、半導体基板10(ソース拡散層11)からフローティングサイドウォール32aへ電荷が注入される。

【0029】また、例えば図2(b)に示すように、コントロールゲート31aに負のバイアスを印加し、ドレイン拡散層12に正のバイアスを印加することにより、上記と同様に、コントロールゲート31aとフローティングゲート30a間の容量とフローティングゲート30aと半導体基板10間の容量の比で決定される電界によりファウラー・ノルドハイム型トンネル電流が生じ、第1トンネル絶縁膜20を通して、フローティングゲート30aからドレイン拡散層12へ電荷が放出される。さらに、コントロールゲート31aとフローティングサイドウォール32aの対向する部分間の容量とフローティ

(6) 000-195974 (P2000-195974A)

9

ングサイドウォール32aとドレイン拡散層12間の容量の比で決定される電界によりファウラー・ノルドハイム型トンネル電流が生じ、第2トンネル絶縁膜23を通して、フローティングサイドウォール32aからドレイン拡散層12へ電荷が放出される。

【0030】上記のようにして、フローティングゲート30a中に電荷が蓄積されると、蓄積電荷による電界が発生するため、トランジスタの閾値電圧が変化する。この変化によりデータの記憶が可能となる。例えば、フローティングゲート30a中に電子を蓄積することでデータの消去を行い、また、フローティングゲート30a中に蓄積した電子を放出することでデータを書き込みすることができる。

【0031】また、図2(c)に示すように、フローティングゲート30a中に電荷が蓄積されるときにフローティングサイドウォール32a中にも電荷を蓄積することにより、フローティングゲート30a中の電荷とフローティングサイドウォール32a中の電荷がクーロン力により反発しあうので、フローティングゲート30a中において電荷はよりフローティングサイドウォール32aから遠い側である内部へと移動してくる。このため、電荷に熱エネルギーを与えて電荷の拡散が抑えられ、フローティングゲート30a中に電荷を保持する能力を高めることができる。

【0032】上記の本実施形態のフローティングゲート型の半導体不揮発性記憶装置の製造方法について、図面を参照して以下に説明する。まず、図3(a)に示すように、シリコン半導体基板10に、LOCOS法などにより図示しない蒸気分離絶縁膜を形成し、蒸気分離絶縁膜により分離された半導体基板10のチャネル形成領域となる活性領域に導電性不純物のイオン注入によりチャネル形成領域の閾値調整などを行った後、例えば熱酸化法により半導体基板10表面に第1トンネル絶縁膜20を形成する。

【0033】次に、図3(b)に示すように、例えばCVD(Chemical Vapor Deposition)法によりポリシリコンを堆積させ、フローティングゲート用層30を形成し、その上層に例えばONO膜(酸化膜-遮断膜-酸化膜の積層絶縁膜)を積層させて第1中間絶縁膜21を形成し、さらにその上層にポリシリコンを堆積させ、コントロールゲート用層31を形成する。

【0034】次に、図3(c)に示すように、コントロールゲート用層31の上層にフォトリソグラフィー工程によりコントロールゲートパターンのレジスト膜(不図示)を形成し、RIE(Reactive Ion Etching; 反応性イオンエッティング)などのエッティングをコントロールゲート用層31、第1中間絶縁膜21、およびフローティングゲート用層30に対して順に施し、スタッガート型のコントロールゲート31a、第1中間絶縁膜21a、およびフローティングゲート30aを自己整合的に

50

10

形成する。

【0035】次に、図4(d)に示すように、コントロールゲート31aをマスクとして、砒素、リンなどn型不純物(nチャネルトランジスタの場合)、あるいは、ホウ素などのp型不純物(pチャネルトランジスタの場合)である導電性不純物Dpをイオン注入し、コントロールゲートの両側部の半導体基板10中にソース拡散層11およびドレイン拡散層12を形成する。

10

【0036】次に、図4(e)に示すように、例えばCVD法により酸化シリコンを全面に堆積させ、第2中間絶縁膜22を形成する。

【0037】次に、図4(f)に示すように、例えばRIEなどのエッティングにより第2中間絶縁膜22のエッチャックを行い、コントロールゲート31aとフローティングゲート30aの積層体の側壁面上の第2中間絶縁膜22aを残して他の部分を除去するように加工する。

20

【0038】次に、図5(g)に示すように、例えば熱酸化法によりコントロールゲート31aとフローティングゲート30aの積層体の側面における半導体基板10(ソース・ドレイン拡散層)表面に第2トンネル絶縁膜23を形成する。

30

【0039】次に、図5(h)に示すように、例えばCVD法によりポリシリコンを堆積させ、フローティングサイドウォール用層32を形成する。

30

【0040】次に、図5(i)に示すように、例えばRIEなどのエッティングによりフローティングサイドウォール用層32のエッチャックを行い、コントロールゲート31aとフローティングゲート30aの積層体の側面と対向する位置のフローティングサイドウォール32aを残して他の部分を除去するように加工する。以降の工程としては、例えば上記のトランジスタを被覆して全面に酸化シリコンなどの層間絶縁膜を形成し、コントロールゲートに接続するワード線やドレイン拡散層に接続するビット線などの上層配線をアルミニウムなどの導電性材料により形成して、図1に示す半導体不揮発性記憶装置に至る。

40

【0041】上記の本実施形態のフローティングゲート型の半導体不揮発性記憶装置の製造方法によれば、コントロールゲート31aと第1電荷蓄積層であるフローティングゲート30aの積層体の側面対向する位置に、フローティングゲート30aと絶縁して、半導体基板上に第2電荷蓄積層であるフローティングサイドウォール32aを形成することから、フローティングゲート30a中とフローティングサイドウォール32a中に同時に電荷(電子)を保持するとき、フローティングゲート30a中の電荷とフローティングサイドウォール32a中の電荷がクーロン力により反発しあうので、フローティングゲート30a中において電荷はよりフローティングサイドウォール32aから遠い側である内部へと移動してくる。このため、電荷に熱エネルギーを与えて電荷の

(7) 000-195974 (P2000-195974A)

11

拡散が抑えられ、フローティングゲート30a中に電荷を保持する能力を高めることができる。

【0042】本発明の半導体不揮発性記憶装置およびその製造方法は、上記の実施の形態に限定されない。例えば、コントロールゲートはポリシリコンの1層構成としているが、ポリサイドなどの2層以上の構成としてもよい。フローティングゲートやフローティングサイドウォールも多層構成とすることができます。ソース・ドレイン拡散層は、LDD構造などの種々の構造を採用することができます。半導体記憶装置としてはNOR型、NAND型、どちらでもよく、電荷の電荷蓄積層への注入は、データの書き込み、消去のどちらに相当する場合でも構わない。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【0043】

【発明の効果】本発明の半導体不揮発性記憶装置によれば、フローティングゲートなどのデータを記憶する電荷蓄積層中に電荷を保持する能力を高められた半導体不揮発性記憶装置を提供することができる。

【0044】本発明の半導体不揮発性記憶装置の製造方法によれば、上記の本発明の半導体不揮発性記憶装置を容易に製造することができ、フローティングゲートなどのデータを記憶する電荷蓄積層中に電荷を保持する能力を高められた半導体不揮発性記憶装置を製造することができる。

【図面の簡単な説明】

【図1】図1(a)は本発明に係る半導体不揮発性記憶装置の平面図であり、図1(b)は図1(a)中のA-A'における断面図である。

【図2】図2(a)は本発明に係る半導体不揮発性記憶装置におけるフローティングゲートへの電荷の注入方法を説明する断面図であり、図2(b)はフローティングゲートからの電荷の放出方法を説明する断面図であり、

12

図2(c)はフローティングサイドウォールの作用を説明する要部拡大断面図である。

【図3】図3は本発明に係る半導体不揮発性記憶装置の製造方法の製造工程を示す断面図であり、(a)は第1トンネル絶縁膜の形成工程まで、(b)はコントロールゲート用層の形成工程まで、(c)はコントロールゲートパターンの加工工程までを示す。

【図4】図4は図3の続きの工程を示す断面図であり、(d)はソース・ドレイン拡散層の形成工程まで、(e)は第2中間絶縁膜の形成工程まで、(f)は第2中間絶縁膜の加工工程までを示す。

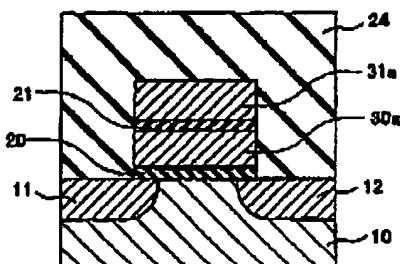
【図5】図5は図4の続きの工程を示す断面図であり、(g)は第2トンネル絶縁膜の形成工程まで、(h)はフローティングサイドウォール用層の形成工程まで、(i)はフローティングサイドウォールの加工工程までを示す。

【図6】図6は実施例にかかる半導体不揮発性記憶装置の断面図である。

【符号の説明】

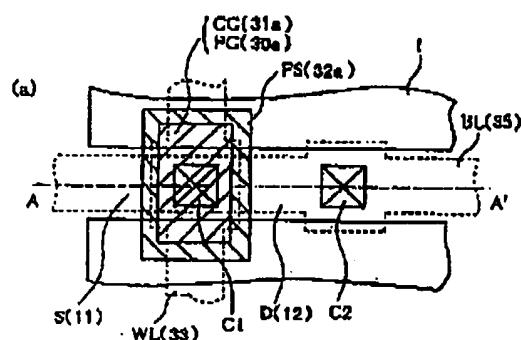
10…半導体基板、11…ソース拡散層、12…ドレイン拡散層、20…第1トンネル絶縁膜、21…第1中間絶縁膜、22、22a…第2中間絶縁膜、23…第2トンネル絶縁膜、24…層間絶縁膜、30…フローティングゲート、30a…フローティングゲート、31…コントロールゲート用層、31a…コントロールゲート、32…フローティングサイドウォール用層、32a…フローティングサイドウォール、33…ワード線、34…ビットコンタクトプラグ、35…ビット線、CG…コントロールゲート、FG…フローティングゲート、FS…フローティングサイドウォール、S…ソース拡散層、D…ドレイン拡散層、I…素子分離絶縁膜、BL…ビット線、C1、C2…コンタクト、DP…等電性不純物。

【図6】

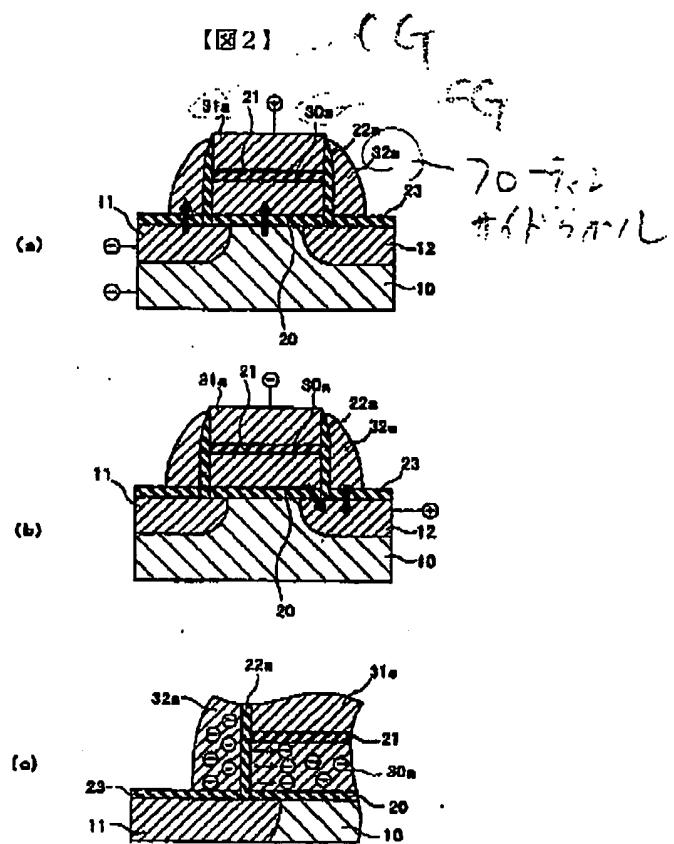


(8) 000-195974 (P2000-195974A)

【図1】

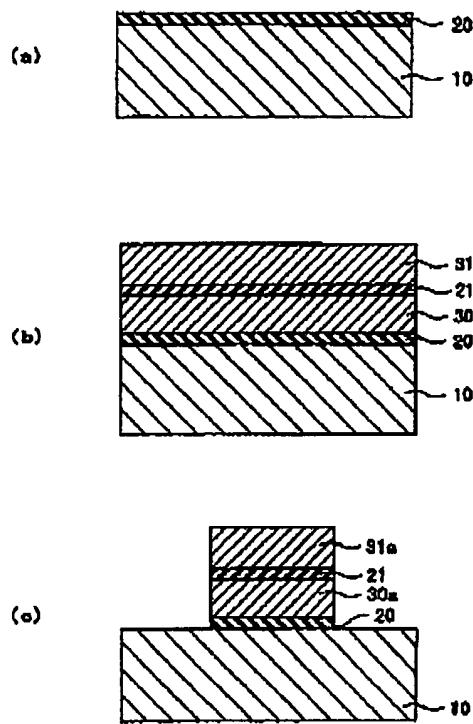


【図2】

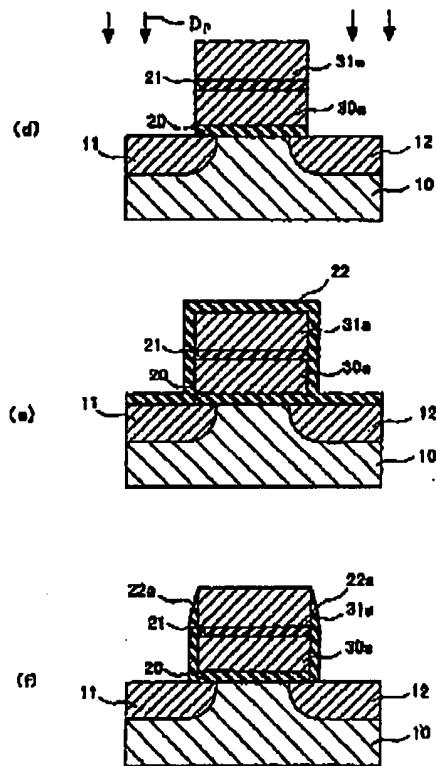


(i9) 000-195974 (P2000-195974A)

【図3】

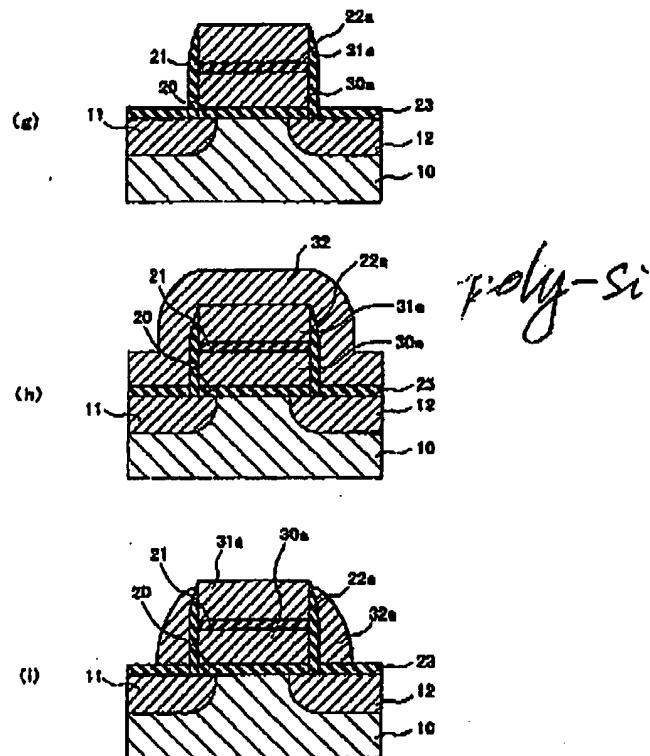


【図4】



(110) 000-195974 (P2000-195974A)

[図5]



フロントページの続き

Fターム(参考) 5F001 AA25 AA34 AA43 AB08 AC02
 AD12 AD62 AF06
 5F033 EP09 EP23 EP55 ER03 ER05
 ER06 ER09 ER14 ER15 ER19
 ER30 GA21 GA30 JA02 JA04
 JA32 KA01 KA05 MA01 MA19
 MA20 NA02

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.